

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4203276号
(P4203276)

(45) 発行日 平成20年12月24日 (2008.12.24)

(24) 登録日 平成20年10月17日 (2008.10.17)

(51) Int.Cl.

F 1

A 6 1 B 1/04 (2006.01)

A 6 1 B 1/04 3 7 2

請求項の数 4 (全 11 頁)

(21) 出願番号 特願2002-206535 (P2002-206535)
 (22) 出願日 平成14年7月16日 (2002.7.16)
 (65) 公開番号 特開2004-49249 (P2004-49249A)
 (43) 公開日 平成16年2月19日 (2004.2.19)
 審査請求日 平成17年4月18日 (2005.4.18)

(73) 特許権者 000005430
 フジノン株式会社
 埼玉県さいたま市北区植竹町1丁目324番地
 (74) 代理人 100098372
 弁理士 緒方 保人
 (72) 発明者 阿部 一則
 埼玉県さいたま市植竹町1丁目324番地
 富士写真光機株式会社内

審査官 小田倉 直人

(56) 参考文献 特開平07-312710 (JP, A)
 特開平01-223928 (JP, A)

最終頁に続く

(54) 【発明の名称】 電子内視鏡装置

(57) 【特許請求の範囲】

【請求項 1】

撮像素子を搭載する電子内視鏡がプロセッサ装置を含む本体側装置に接続され、この本体側装置から電子内視鏡へ電源を供給する電子内視鏡装置において、

上記電子内視鏡と上記本体側装置との間を接続する電源/信号共用線と、

上記本体側装置に設けられ、上記電源/信号共用線に電源を供給するための電源供給回路と、

上記電源/信号共用線の供給電源上に上記撮像素子で得られた映像信号を重畳し、かつこの映像信号の第1フィールド又は第1フレームの所定のブランキング期間に電子内視鏡側基準パルスを重畳する電子内視鏡側波形重畳回路と、

上記電源/信号共用線で供給される映像信号の第2フィールド又は第2フレームの所定のブランキング期間にプロセッサ側基準パルスを重畳するプロセッサ側波形重畳回路と、

上記電源/信号共用線に重畳された映像信号及び電子内視鏡側基準パルスを分離するプロセッサ側分離回路と、

プロセッサ側発振器を用いて上記プロセッサ側分離回路から出力された電子内視鏡側基準パルスに同期した映像信号処理のための信号を形成するプロセッサ側同期信号発生器と

、

上記電源/信号共用線に重畳されたプロセッサ側基準パルスを分離する電子内視鏡側分離回路と、

上記プロセッサ側発振器とは異なる発振周波数のスコープ側発振器を用いて上記電子内

10

20

視鏡側分離回路から出力されたプロセッサ側基準パルスに同期した映像信号処理のための信号を形成する電子内視鏡側タイミングジェネレータとを設けたことを特徴とする電子内視鏡装置。

【請求項 2】

撮像素子を搭載する電子内視鏡がプロセッサ装置を含む本体側装置に接続され、この本体側装置から電子内視鏡へ電源を供給する電子内視鏡装置において、

上記電子内視鏡と上記本体側装置との間を接続する電源 / 信号共用線と、

上記本体側装置に設けられ、上記電源 / 信号共用線に電源を供給するための電源供給回路と、

上記電源 / 信号共用線の供給電源上に上記撮像素子で得られた映像信号を重畳し、かつこの映像信号の第 2 フィールド又は第 2 フレームの所定のブランキング期間に電子内視鏡側基準パルスを重畳する電子内視鏡側波形重畳回路と、

上記電源 / 信号共用線で供給される映像信号の第 1 フィールド又は第 1 フレームの所定のブランキング期間にプロセッサ側基準パルスを重畳するプロセッサ側波形重畳回路と、

上記電源 / 信号共用線に重畳されたプロセッサ側基準パルスを分離する電子内視鏡側分離回路と、

スコープ側発振器を用いて上記電子内視鏡側分離回路から出力されたプロセッサ側基準パルスに同期した映像信号処理のための信号を形成する電子内視鏡側タイミングジェネレータと、

上記電源 / 信号共用線に重畳された映像信号及び電子内視鏡側基準パルスを分離するプロセッサ側分離回路と、

上記スコープ側発振器とは異なる発振周波数のプロセッサ側発振器を用いて上記プロセッサ側分離回路から出力された電子内視鏡側基準パルスに同期した映像信号処理のための信号を形成するプロセッサ側同期信号発生器とを設けたことを特徴とする電子内視鏡装置。

【請求項 3】

上記プロセッサ装置では、供給電源上から分離された映像信号の水平ライン信号を上記プロセッサ側同期信号発生器で形成された水平同期信号によって補正することを特徴とする請求項 1 又は 2 記載の電子内視鏡装置。

【請求項 4】

上記電子内視鏡に、上記映像信号が重畳された直流電源を全波整流回路によって全波整流する電源受給回路を設けたことを特徴とする請求項 1 乃至 3 のいずれかに記載の電子内視鏡装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子内視鏡装置、特にスコープである電子内視鏡をプロセッサ装置に接続するものにおいて、これらの間で電源を供給し、かつ映像信号を伝送するための接続線及び信号伝送の構成に関する。

【0002】

【従来の技術】

電子内視鏡装置では、例えば固体撮像素子である CCD (Charge Coupled Device) が搭載された電子内視鏡 (スコープ) がプロセッサ装置にケーブル及びコネクタにて接続される。そして、このケーブル及びコネクタを介して、プロセッサ装置からスコープへ電源の供給、各種の制御信号の伝送が行われ、またスコープからプロセッサ装置へ映像信号及び各種の制御信号の伝送が行われる。

【0003】

即ち、プロセッサ装置から電源線によって供給された直流電源によってスコープは駆動され、一方スコープの CCD で撮像された映像信号が信号線 (伝送線) を介してプロセッサ装置へ送られており、このプロセッサ装置にて映像信号に対し各種のカラー映像処理を施すことによって被観察体像がモニタに表示される。

【 0 0 0 4 】

【 発明が解決しようとする課題 】

しかしながら、上記電子内視鏡装置では、スコープとプロセッサ装置を接続するケーブルに電源線と複数の信号線を含んでおり、このケーブルコネクタにおいては多ピン構造となるため、いずれかの接続ピンで接触不良が生じたり、接続ピンが破損したりする恐れがあり、コスト的にも高くなるという問題があった。

【 0 0 0 5 】

また、近年では、スコープに搭載するＣＣＤの多画素化が進んでおり、多画素化された画素数の異なるＣＣＤを搭載する各種のスコープを、共通のプロセッサ装置に接続可能にすることが要請されている。

10

【 0 0 0 6 】

本発明は上記問題点に鑑みてなされたものであり、その目的は、電源線と信号線を共用化し、最小の本数にてスコープとプロセッサ装置を接続することが可能となり、また画素数の異なるＣＣＤを搭載するスコープを共通のプロセッサ装置に接続する場合でも良好な映像を形成することができる電子内視鏡装置を提供することにある。

【 0 0 0 7 】

【 課題を解決するための手段 】

上記目的を達成するために、請求項 1 記載の発明は、撮像素子を搭載する電子内視鏡がプロセッサ装置を含む本体側装置に接続され、この本体側装置から電子内視鏡へ電源を供給する電子内視鏡装置において、上記電子内視鏡と上記本体側装置との間を接続する電源 / 信号共用線と、上記本体側装置に設けられ、上記電源 / 信号共用線に電源を供給するための電源供給回路と、上記電源 / 信号共用線の供給電源上に上記撮像素子で得られた映像信号を重畳し、かつこの映像信号の第 1 フィールド（インターレース走査の場合）又は第 1 フレーム（ノンインターレース走査の場合）の所定のブランキング期間に電子内視鏡側基準パルスを重畳する電子内視鏡側波形重畳回路と、上記電源 / 信号共用線で供給される映像信号の第 2 フィールド又は第 2 フレームの所定のブランキング期間にプロセッサ側基準パルスを重畳するプロセッサ側波形重畳回路と、上記電源 / 信号共用線に重畳された映像信号及び電子内視鏡側基準パルスを分離するプロセッサ側分離回路と、プロセッサ側発振器を用いて上記プロセッサ側分離回路から出力された電子内視鏡側基準パルスに同期した映像信号処理のための信号を形成するプロセッサ側同期信号発生器と、上記電源 / 信号共用線に重畳されたプロセッサ側基準パルスを分離する電子内視鏡側分離回路と、上記プロセッサ側発振器とは異なる発振周波数のスコープ側発振器を用いて上記電子内視鏡側分離回路から出力されたプロセッサ側基準パルスに同期した映像信号処理のための信号を形成する電子内視鏡側タイミングジェネレータ（同期信号発生回路として機能する）とを設けたことを特徴とする。

20

30

【 0 0 0 8 】

請求項 2 記載の発明は、上記電子内視鏡側基準パルスを映像信号の第 2 フィールド又は第 2 フレームの所定のブランキング期間に重畳し、上記プロセッサ側基準パルスを映像信号の第 1 フィールド又は第 1 フレームの所定のブランキング期間に重畳するようにしたものである。

40

請求項 3 記載の発明は、上記プロセッサ装置では、供給電源上から分離された映像信号の水平ライン信号を上記プロセッサ側同期信号発生器で形成された水平同期信号によって補正することを特徴とする。

請求項 4 記載の発明は、上記電子内視鏡に、上記映像信号が重畳された直流電源を全波整流回路によって全波整流する電源受給回路を設けたことを特徴とする。

【 0 0 0 9 】

上記の構成によれば、電子内視鏡とプロセッサ装置が例えば 1 本の同軸ケーブル（又はアース線を含めて 2 本の電線）で接続され、この電源 / 信号共用線である同軸ケーブルにて、プロセッサ装置から電子内視鏡へ電源が供給されると共に、この電源 / 信号共用線の供給電源上（電源レベル）に波形重畳する形で電子内視鏡からプロセッサ装置へ映像信号が

50

伝送される。

【 0 0 1 0 】

また、この映像信号には、最初の第 1 フィールド（一般に奇数フィールドとなり、ノンインターレース走査の場合は第 1 フレームとなる）における例えば第 1 水平ライン信号のブランキング期間（又はオプティカルブラック期間）に、電子内視鏡側基準パルスとして 10 パルス程度の電子内視鏡側クロック信号が重畳され、次の第 2 フィールド（一般に偶数フィールドとなり、ノンインターレース走査の場合は第 2 フレームとなる）における例えば第 1 水平ライン信号のブランキング期間に、10 パルス程度のプロセッサ側基準パルスが重畳される。

【 0 0 1 1 】

例えば、電子内視鏡が 27 万画素の撮像素子を搭載し、プロセッサ装置が 41 万画素の撮像素子の処理を規準とするように構成されている場合は、電子内視鏡が発振周波数 19.0632 MHz のクロック信号を用い、プロセッサ装置が発振周波数 28.6363 MHz のクロック信号を用いることになるので、この周波数 28.6363 MHz を 2/3 分周した 19.0909 MHz のパルスが上記プロセッサ側基準パルスとして重畳される。

【 0 0 1 2 】

そして、プロセッサ装置では、例えば PLL 方式によって上記 10 パルス程度の電子内視鏡側基準パルスに同期したクロック信号が形成されると共に、電子内視鏡でも、PLL 方式によって上記 10 パルス程度のプロセッサ側基準パルスに同期したクロック信号が形成され、これらの同期クロック信号とこれによって形成された各種タイミング信号に基づいて映像信号が処理される。なお、上記とは逆に、プロセッサ側基準パルスを第 1 フィールドの第 1 水平ライン信号のブランキング期間に重畳し、スコープ側基準パルスを第 2 フィールドの第 1 水平ライン信号のブランキング期間に重畳することもできる。

【 0 0 1 3 】

また、請求項 3 の構成によれば、例えば 27 万画素の撮像素子で得られた映像信号の水平ライン信号は、プロセッサ装置側の周波数 28.6363 MHz の発振信号で形成された水平同期信号によって補正され、水平方向で縮小する（又は拡大する）状態が解消され、良好な画像が得られる。

【 0 0 1 4 】

更に、請求項 4 の構成によれば、プロセッサ装置から供給され、かつ映像信号が重畳された直流電源が全波整流回路によって全波整流される。この結果、映像信号の重畳によって例えば降下した電源電圧が引き戻されると共に、安定した直流電源の供給ができることになる。

【 0 0 1 5 】

【 発明の実施の形態 】

図 1 及び図 2 には、第 1 実施例の電子内視鏡装置の構成が示されており、図 1 において、スコープ（電子内視鏡）A は電源 / 信号共用線である 1 本の同軸ケーブル 10 によってプロセッサ装置 B に接続される。このスコープ A の先端部に、例えば 27 万画素の CCD 12 が設けられ、図示していないが、この先端部には光源装置からライトガイドを介して照明光が供給される。

【 0 0 1 6 】

また、このスコープ A には、上記 CCD 12 を駆動する CCD 駆動回路 13、直流（DC）電源を入力する電源受給回路 14、スイッチングレギュレータ等を有し上記電源受給回路 14 からの供給電源により複数の電源電圧を形成する電源形成回路 15、上記同軸ケーブル 10 の供給電源上に重畳されたプロセッサ側基準パルス、制御信号等を分離する波形分離回路 16、供給電源上に映像信号（インターレース走査）を波形重畳しかつこの映像信号の第 1 フィールド第 1 水平ライン信号のブランキング期間にスコープ側基準パルスを重畳する波形重畳回路 17、後述のプロセッサ側基準パルスの位相と発振信号の位相を比較する位相比較回路 18、画素単位のクロック信号（例えば周波数 19.0632 MHz）、水平同期（HD）信号、垂直同期（VD）信号、リセット信号等の信号を形成するタ

10

20

30

40

50

イミングジェネレータ (T G) 19 が設けられる。

【 0017 】

このタイミングジェネレータ 19 は、27 万画素 C C D 12 の駆動用周波数 19 . 0632 M H z を発振する水晶発振器 19 a と可変容量ダイオード 19 b を有し、上記スコープ側基準パルスとして上記周波数 19 . 0632 M H z のクロック信号を出力し、また上記位相比較回路 18 と共に P L L (Phase Locked Loop) を形成することによってプロセッサ側基準パルスに同期した信号を発生させる同期信号発生回路として機能する。更に、上記 C C D 12 の出力信号を入力するバッファ 20 及びスコープ A の各回路を統括制御するマイコン 21 等が設けられている。

【 0018 】

一方、プロセッサ装置 B には、スコープ A へ D C 電源を供給するための電源供給回路 23、供給電源上において制御信号やプロセッサ側基準パルスの波形を第 2 フィールド第 1 水平ライン信号のブランキング期間に重畳する波形重畳回路 24、A C 成分である上記映像信号やスコープ側基準パルスを分離する波形分離回路 25 が設けられる。また、この波形分離回路 25 の出力を入力するように、位相比較回路 26 及び同期信号発生器 (S S G) 27 が設けられており、この位相比較回路 26 はスコープ側基準パルスの位相と発振信号の位相を比較し、その位相差に比例した電圧を発生させる。

【 0019 】

上記同期信号発生器 27 は、例えば 41 万画素 C C D の駆動用の周波数 28 . 6363 M H z を発生する水晶発振器 27 a、可変容量ダイオード 27 b 有し、上記位相比較回路 26 の出力電圧を発振器 27 a と可変容量ダイオード 27 b の接続点に入力し、P L L を形成することにより、上記スコープ側基準信号に同期させたクロック信号、水平同期 (H D) 信号、垂直同期 (V D) 信号等を発生させる。また、この同期信号発生器 27 は、分周器を備え、クロック信号及びプロセッサ側基準パルスとして、発振周波数 28 . 6363 M H z を 2 / 3 分周した 19 . 0909 M H z を形成する。

【 0020 】

更に、このプロセッサ装置 B には、各回路を統括制御するマイコン 31 が設けられ、また上記波形分離回路 25 から映像信号を入力し、相関二重サンプリングを行う相関二重サンプリング (C D S) 回路 32、A / D 変換器 33、映像信号に対しカラー映像形成のための各種処理を施す D S P (デジタルシグナルプロセッサ) 回路 34、映像の拡大・縮小を電子的に行う電子ズーム回路 35、D / A 変換器 36、アンプ 37 等が設けられる。そして、上記電子ズーム回路 35 では、通常の拡大・縮小だけでなく、スコープ A とプロセッサ装置 B で用いられるクロック周波数の相違によって生じる水平方向の幅の縮小又は拡大を補正する。

【 0021 】

図 2 には、スコープ A の電源供給回路 14、波形分離回路 16 及び波形重畳回路 17 の具体的な回路が示されており、上記電源供給回路 14 では、上記同軸ケーブル 10 に繋がる供給電源線 70 に直列接続され、高周波を阻止するチョークコイル L_1 と、供給電源線 70 に並列接続されるコンデンサ C_1 とから平滑回路を構成する。上記波形分離回路 16 では、供給電源線 70 からの入力に対し基準電位を与える基準電圧源 (R e f .) 16 A、A C (交流) 成分を抜き取るためのコンデンサ C_2 、抵抗 R_1 等が配置され、供給電源線 70 から A C 成分、即ちプロセッサ装置 B から供給された制御信号を分離する。

【 0022 】

次に、上記波形重畳回路 17 では、供給電源線 70 とアースとの間に、コイル L_2 とトランジスタ T r が配置され、このトランジスタ T r のコレクタがコイル L_2 の一端、エミッタがアースに接続され、このトランジスタ T r のベースに、重畳信号として上記バッファ 20 からの映像信号と上記タイミングジェネレータ 19 からの基準クロックパルスが与えられる。また、上述した波形重畳回路 17 と波形分離回路 16 の構成は、プロセッサ装置 B での波形重畳回路 24 と波形分離回路 25 の構成としても同様に用いられる。

【 0023 】

10

20

30

40

50

第 1 実施例は以上の構成からなり、上記プロセッサ装置 B の電源を投入すると、電源供給回路 2 3 から DC 電源が同軸ケーブル 1 0 を介してスコープ A へ供給される。一方、上記スコープ A では、電源受給回路 1 4 にて電源供給回路 2 3 から供給された DC 電源を受けると、電源形成回路 1 5 により所定電圧の複数の電源が形成され、これが各回路へ供給される。

【 0 0 2 4 】

そして、上記 DC 電源が CCD 駆動回路 1 3 へ供給されると、この CCD 駆動回路 1 3 によって CCD 1 2 が駆動され、被観察体が撮像される。この CCD 1 2 から出力された撮像信号（映像信号）は、パッファ 2 0 を介して波形重畳回路 1 7 へ供給され、この波形重畳回路 1 7 によって映像信号が供給電源上（70）に重畳されることになり、この映像信号は同軸ケーブル 1 0 を介してプロセッサ装置 B へ送られる。このとき、上記波形重畳回路 1 7 には、マイコン 2 1 の制御によって、タイミングジェネレータ 1 9 から周波数 1 9 . 0 6 3 2 M H z の基準パルス（クロック信号）が 1 0 パルス程度、入力され、この基準パルスが同期用信号として上記映像信号の第 1 フィールド第 1 水平ライン信号のブランキング期間に重畳される。

【 0 0 2 5 】

図 3 には、上記波形重畳回路 1 7 の出力状態が示されており、例えば DC 電源が 1 2 V であるとする、1 2 V の供給電圧上に映像信号の水平ライン信号 S_{a1} 、 S_{a2} 、 S_{a3} ... が反転状態で重畳される。そして、映像信号（インターレース走査する場合）の第 1（最初の）フィールド（一般に奇数フィールドとなる）の第 1 水平ライン S_{a1} のブランキング期間 B_{a1} に、基準パルス S_e が 1 0 パルス程度、重畳される。

【 0 0 2 6 】

一方、プロセッサ装置 B の波形分離回路 2 5 では、上記同軸ケーブル 1 0 を介して供給される AC 成分が分離され、図 3 で説明した水平ライン信号 S_{a1} 、 S_{a2} 、 S_{a3} ... を含む映像信号は CDS 回路 3 2 へ供給され、ブランキング期間 B_{a1} から分離したスコープ側基準パルス S_e は位相比較回路 2 6 を介して同期信号発生器 2 7 へ供給される。そうすると、この位相比較回路 2 6 及び同期信号発生器 2 7 では、PLL が機能し可変容量ダイオード 2 7 b に加えられる電圧が変化することによって上記基準パルス S_e （周波数 1 9 . 0 6 3 2 M H z）に同期したクロック信号、そして水平同期信号、垂直同期信号等のタイミング信号が形成される。

【 0 0 2 7 】

即ち、上記の基準パルス S_e の重畳位置が第 1 フィールドの第 1 水平ラインであることが予め決められているので、上記同期信号発生器 2 7 では、このパルス S_e の入力に基づいて水平走査の同期、垂直走査の同期がとれることになり、これらの水平同期信号及び垂直同期信号或いはその他のタイミング信号は、CDS 回路 3 2 等へ供給される。そして、この CDS 回路 3 2 では、入力された映像信号が相関二重サンプリングされ、次段の A/D 変換器 3 3 でデジタル化された信号は、DSP 回路 3 4 にてカラー映像処理が施され、電子ズーム回路 3 5、D/A 変換器 3 6 及びアンプ 3 7 を介してモニタへ供給される。

【 0 0 2 8 】

しかし、スコープ A 側の基準パルス（クロック信号） S_e とプロセッサ装置 B 側の基準パルス S_p の周波数が相違する場合は、プロセッサ装置 B にてスコープ側基準パルス S_e に基づいて同期をとるだけでは、不十分である。即ち、1 0 パルス程度の基準パルスは、スコープ A からプロセッサ装置 B までの長さを伝送すること、またトランスを通すこと等によってその波形に歪みが生じ、この波形歪みによって正確な同期状態が得られなくなる。そこで、当該例では、スコープ A でもプロセッサ側基準パルス S_p に基づいて同期をとるようにしている。

【 0 0 2 9 】

実施例のプロセッサ装置 B の同期信号発生器 2 7 では、発振器 2 7 a の発振周波数 2 8 . 6 3 6 3 M H z を 2 / 3 分周した周波数 1 9 . 0 9 0 9 M H z のプロセッサ側基準パルス S_p が形成され、マイコン 3 1 の制御に基づき、波形重畳回路 2 4 にて、上記基準パルス

S_p が10パルス程度、入力され、この基準パルス S_p が同期用信号として上記映像信号の第2フィールド第1水平ライン信号のブランキング期間に重畳される。即ち、図3に示されるように、第2フィールド（一般に偶数フィールドとなる）の第1水平ライン S_{b1} のブランキング期間 B_{b1} に、基準パルス S_p が10パルス程度、重畳される。

【0030】

そして、スコープAの波形分離回路16では、上記同軸ケーブル10を介して、図3で説明した第2フィールド第1水平ライン信号 S_{b1} のブランキング期間 B_{b1} に存在するプロセッサ側基準パルス S_p が分離され、この基準パルス S_p は位相比較回路18を介してタイミングジェネレータ19へ供給される。このタイミングジェネレータ19では、PLLが機能し可変容量ダイオード19bに加えられる電圧が変化することによって、上記基準パルス S_p （周波数19.0909MHz）に同期したクロック信号が形成される。即ち、上記プロセッサ側基準パルス S_p の重畳位置が第2フィールドの第1水平ライン信号であるので、このパルス S_p の入力によって水平走査の同期、垂直走査の同期がとれることになる。

【0031】

このようにして、プロセッサ装置Bでは、第1フィールド第1水平ライン信号 S_{a1} に重畳したスコープ側基準パルス（クロック信号） S_e に同期させ、かつスコープAでは、第2フィールド第1水平ライン信号 S_{b1} に重畳したプロセッサ側基準パルス S_p に同期させることにより、波形歪みの生じない安定した信号同期が行われる。

【0032】

そうして、上記の電子ズーム回路35では、水平ライン信号（水平幅）の補正が行われる。即ち、当該例では、スコープ側基準パルス S_e の周波数19.0632MHzとプロセッサ側基準パルス S_p の周波数19.0909MHzが相違することから、図4に示されるように、水平方向の幅が少し小さくなる。即ち、この図4において、モニタ38に表示された例えば円形被写体を考えると（又はこの円形を対物光学系の観察光路域と考えてもよい）、二点鎖線 f_1 のように水平方向の幅が縮小し、像が左側に寄った映像となる。

【0033】

そこで、当該例の電子ズーム回路35では、上記同期信号発生器27にて発振周波数28.6363MHzから形成した約63.5μsecの水平同期信号によって、水平ライン信号を補正する。即ち、電子ズーム回路35に設けられた画像メモリにおいて、スコープ側基準パルス S_e に同期したタイミングで書き込まれた画像データを、約63.5μsecの水平同期信号のタイミングで読み出すことにより、図4の画素h（数画素～数十画素）分が引き伸ばされ、実線 f_2 のように良好な円形となる被写体が形成される。

【0034】

図5には、電源回路に関する本発明の第2実施例の構成が示されており、この第2実施例は図2に示した電源供給回路14の代わりに用いられる。図5に示されるように、この電源供給回路14Fは、供給電源線70に接続されたチョークコイル L_1 と、整流用ダイオード D_1 、 D_2 、 D_3 、 D_4 からなる全波整流回路39（他の構成の全波整流回路でもよい）とから構成された平滑回路となる。このような電源供給回路14Fによれば、映像信号の重畳による電圧降下を低減し、電源状態を安定させる効果がある。

【0035】

図6には、この第2実施例の電源電圧の状態を第1実施例（図2）と比較したものが示されており、第1実施例の平滑回路によれば、図6（A）に示されるように、例えばプロセッサ装置Bから供給された12VのDC電源に対し、水平ライン信号 S_1 、 S_2 、 S_3 ...の映像信号が重畳されることにより、電源供給回路14Fでは、10V程度の電圧しか得られないことになる。しかも、この映像信号のレベルは、画像の明るさで変化することから、上記の10V程度の電源が不安定になる。

【0036】

これに対し、第2実施例の電源供給回路14Fでは、図6（B）に示されるように、全波整流によって図示のラインg以下の映像信号が反転状態となるので、例えば11V程度の

10

20

30

40

50

降下の小さいDC電圧が得られる。それと同時に、この映像信号のレベルが変化する場合でも安定した電圧が確保されることになる。

【0037】

上記実施例では、スコープ側基準パルス S_e を第1フィールドの第1水平ライン信号 S_{a1} のブランキング期間 B_{a1} に重畳し、プロセッサ側基準パルス S_p を第2フィールドの第1水平ライン信号 S_{b1} のブランキング期間 B_{b1} に重畳したが、これらの基準パルスは、第1フィールド又は第2フィールドの他の水平ライン信号のブランキング期間に重畳してもよい。また、ノンインターレース走査の場合は、スコープ側基準パルス S_e を第1（最初の）フレームの第1水平ライン信号のブランキング期間に重畳し、プロセッサ側基準パルス S_p を第2フレームの第1水平ライン信号のブランキング期間に重畳することができる。

10

【0038】

更に、上記第1実施例とは逆に、プロセッサ側基準パルス S_p を第1フィールド（又は第1フレーム）の第1水平ライン信号のブランキング期間に重畳し、スコープ側基準パルス S_e を第2フィールド（又は第2フレーム）の第1水平ライン信号のブランキング期間に重畳することもできる。即ち、プロセッサ装置Bから先にプロセッサ側基準信号を送った場合でも、スコープAのタイミングジェネレータ19では上記基準パルス S_p に同期したクロック信号が形成され、かつこの基準パルス S_p の位置が第1フィールドの第1水平ライン信号（水平同期信号）であることが認識できるので、水平走査の同期、垂直走査の同期がとれることになる。

20

【0039】

なお、当該例では、画素数の異なるCCD（27万画素）を搭載したスコープAをプロセッサ装置Bに接続する場合を説明したが、プロセッサ装置Bで標準となる画素数、例えば41万画素のCCDを搭載したスコープを接続することができ、この場合はプロセッサ側又はスコープ側の何れかの基準パルスによる同期をとるだけでよいことになる。

【0040】

また、上記電源/信号共用線10は、照明光を供給するための光源装置に接続し、この光源装置から電源をスコープAへ供給するとともに、信号伝送はプロセッサ装置Bとの間で行うように構成することもできる。更に、上記タイミングジェネレータ19及び同期信号発生器27では、水晶発振器19a、27aを用いたが、これらの何れか一方をLCR発振器としてもよい。このLCR発振器は、Q値幅が広いので、位相ずれが大きい場合にも良好に追従した同期動作が可能になるという利点がある。

30

【0041】

【発明の効果】

以上説明したように、本発明によれば、電子内視鏡とプロセッサ装置との間に電源/信号共用線を配設し、電子内視鏡側では供給電源上に映像信号を重畳し、かつ例えば映像信号の第1フィールド第1水平ライン信号のブランキング期間に電子内視鏡側基準パルスを重畳すると共に、上記プロセッサ装置では、第2フィールド第1水平ライン信号のブランキング期間にプロセッサ側基準パルスを重畳し、これらの基準パルスに同期した各種の信号によって映像処理を行い、電子内視鏡とプロセッサ装置で異なる発振周波数の発振器を用いる場合でも、安定した信号同期を行うようにしたので、電源線と信号線を共用化し、例えば同軸ケーブル1本にて電子内視鏡とプロセッサ装置を接続することができ、更に画素数の異なるCCDを搭載する電子内視鏡を用いる場合でも良好な映像を形成することが可能となる。この結果、接続ピンの接触不良等もなくなり、製作コストも削減されることになる。

40

【0042】

また、請求項3の発明によれば、水平ライン信号がプロセッサ装置側クロック信号で形成した水平同期信号で補正されるので、水平方向の幅が縮小又は拡大する状態が解消され、良好な画像が得られる。

更に、請求項4の発明によれば、電子内視鏡には映像信号が重畳された直流電源を全波

50

整流回路によって全波整流するようにしたので、映像信号の重畳による電源電圧の降下が抑制されると共に、安定した直流電源の供給ができるという利点がある。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例に係る電子内視鏡装置の構成を示すブロック図である。

【図 2】第 1 実施例の電源供給回路、波形分離回路及び波形重畳回路の具体的な構成を示す図である。

【図 3】第 1 実施例の波形重畳回路において供給電源上に伝送信号が重畳された状態を示す図である。

【図 4】第 1 実施例で処理され、モニタ上に表示された円形被写体を示す図である。

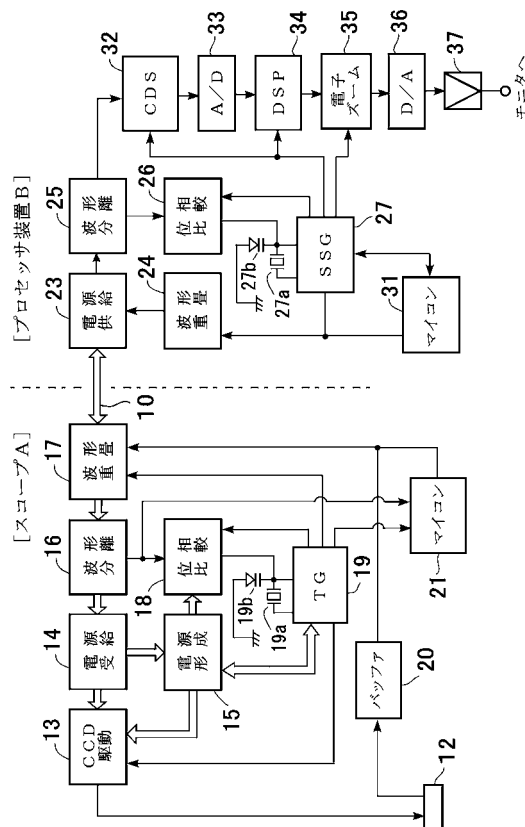
【図 5】第 2 実施例の電源供給回路（全波整流回路）の構成を示す図である。

【図 6】第 2 実施例の電源電圧の状態を第 1 実施例との比較で示したもので、図（A）は第 1 実施例の場合の図、図（B）は第 2 実施例の場合の図である。

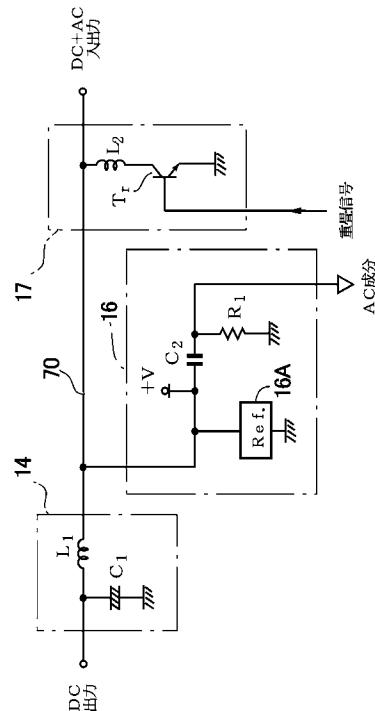
【符号の説明】

A ... スコープ（電子内視鏡）、B ... プロセッサ装置、
 12 ... CCD、14, 14F ... 電源供給回路、
 16, 25 ... 波形分離回路、
 17, 24 ... 波形重畳回路、
 19 ... タイミングジェネレータ（TG）、
 21, 31 ... マイコン、23 ... 電源供給回路、
 18, 26 ... 位相比較回路、
 27 ... 同期信号発生器（SSG）、
 19a, 27a ... 水晶発振器、
 32 ... CDS 回路、34 ... DSP 回路、
 35 ... 電子ズーム回路、39 ... 全波整流回路。

【図 1】



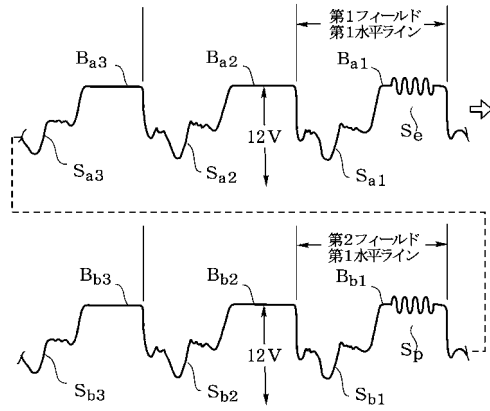
【図 2】



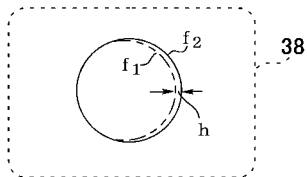
10

20

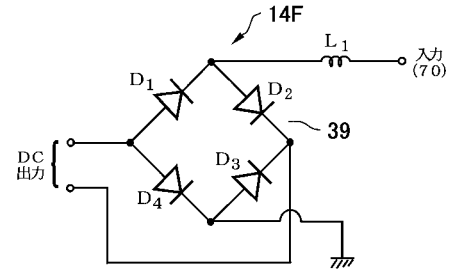
【図 3】



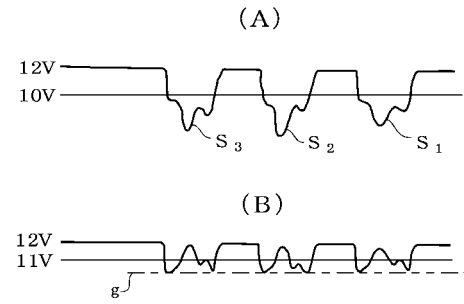
【図 4】



【図 5】



【図 6】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

A61B 1/04

【 図 2 】